

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Jian-Shen YU ) RE: Claim to Priority  
Serial No.: Not yet assigned )  
Filed: Concurrently herewith ) Our Ref: B-5152 621073-4  
For: "LEVEL-SHIFTING CIRCUIT" ) Date: July 7, 2003

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Sir:

[X] Applicants hereby make a right of priority claim under 35 U.S.C. 119 for the benefit of the filing date(s) of the following corresponding foreign application(s):

<u>COUNTRY</u>	<u>FILING DATE</u>	<u>SERIAL NUMBER</u>
Taiwan, R.O.C.	17 March 2003	92105774

[ ] A certified copy of each of the above-noted patent applications was filed with the Parent Application No. \_\_\_\_.

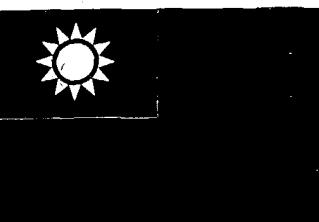
[X] To support applicants' claim, a certified copy of the above-identified foreign patent application is enclosed herewith.

[ ] The priority document will be forwarded to the Patent Office when required or prior to issuance.

Respectfully submitted,

  
Richard P. Berg  
Attorney for Applicant  
Reg. No. 28,145

LADAS & PARRY  
5670 Wilshire Boulevard  
Suite 2100  
Los Angeles, CA 90036  
Telephone: (323) 934-2300  
Telefax: (323) 934-0202



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 03 月 17 日

Application Date

申 請 案 號：092105774

Application No.

申 請 人：友達光電股份有限公司

Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 5 月 5 日

Issue Date

發文字號：

09220438340

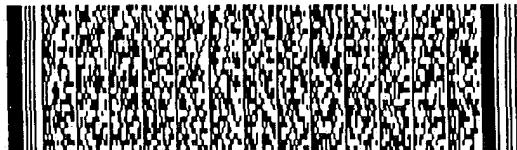
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一 發明名稱	中文	位準移位電路
	英文	
二 發明人 (共1人)	姓名 (中文)	1. 尤建盛
	姓名 (英文)	1. Jian-Shen Yu
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市光復路一段89巷123之5號2樓
	住居所 (英 文)	1.
三 申請人 (共1人)	名稱或 姓名 (中文)	1. 友達光電股份有限公司
	名稱或 姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：位準移位電路)

位準移位電路，包括位準調變電路以及致能電路。位準調變電路具有用以分別接收一對互補信號之正相輸入端以及反相輸入端，以及第一輸出端，以根據正相輸入端以及反相輸入端所接收之互補信號之位準而輸出對應之電壓位準。致能電路係耦接於第一輸出端，當接收到失能信號時，則使第一輸出端輸出與正常操作時不同之既定電壓位準。

伍、(一)、本案代表圖為：第 2 圖

(二)、本案代表圖之元件代表符號簡單說明：

20 ~ 致能電路

21 ~ 位準調變電路

22 ~ PMOS 電晶體

24A、24B ~ NMOS 電晶體

25 ~ 反相器

ENB ~ 致能信號

陸、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：位準移位電路)

$V_{in}$ 、 $XV_{in}$  ~ 差動小訊號

$V_{DD}$  ~ 電 源

$V_{out}$  ~ 輸 出 端

$V_{SS}$  ~ 接 地 位 準

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### [發明所屬之技術領域]

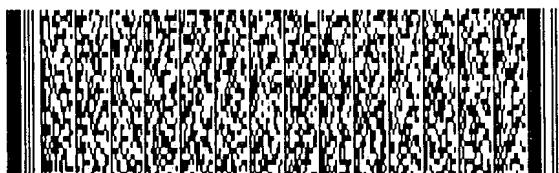
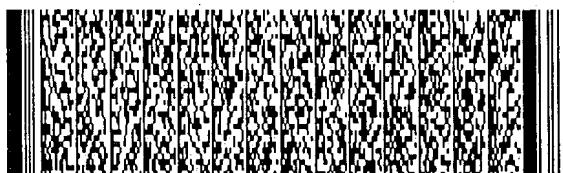
本發明係有關於一種位準移位電路，特別是有關於一種具有致能控制電路之位準移位電路。

### [先前技術]

位準移位電路 (level shifting circuit) 係用來調整電壓之位準值，使電壓適合特定元件使用。第1圖係顯示美國專利編號5387828案所揭露之傳統位準移位電路之電路結構圖，其利用一對輸入之差動小訊號 $V_{in}$ 以及 $XV_{in}$ 來控制位準移位電路選擇輸出低位準或高位準之信號。

傳統位準移位電路包括PMOS電晶體 $P_1$ 以及 $P_1'$ ，其源極接耦接至電源 $VDD$ （以9V為例），而閘極分別耦接至差動小訊號 $V_{in}$ 以及 $XV_{in}$ 。NMOS電晶體 $N_1$ 以及 $N_1'$ 之閘極係彼此耦接至電源 $VDD$ ，而其源極係分別耦接至差動小訊號 $XV_{in}$ 以及 $V_{in}$ 。另外，NMOS電晶體 $N_1$ 與PMOS電晶體 $P_1$ 之汲極係彼此耦接，且連接點為輸出端 $XV_{out}$ ，NMOS電晶體 $N_1'$ 與PMOS電晶體 $P_1'$ 之汲極係彼此耦接，且連接點為輸出端 $V_{out}$ 。輸出端 $V_{out}$ 與 $XV_{out}$ 分別耦接於作為緩衝器之反相器 $10A$ 與 $10B$ ，用以輸出對應之電壓位準。

當 $V_{in}$ 為高位準時， $XV_{in}$ 之信號位準為低位準，此時PMOS電晶體 $P_1'$ 導通，因此，輸出端 $V_{out}$ 所輸出之電壓為高位準。而由於NMOS電晶體 $N_1$ 以及 $N_1'$ 係保持導通，因此



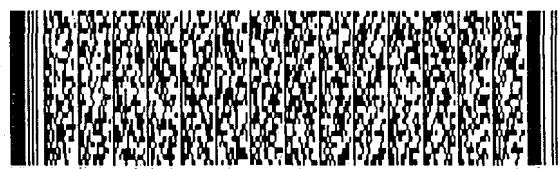
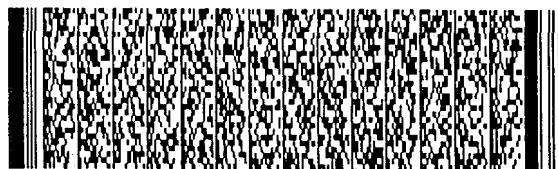
## 五、發明說明 (2)

輸出端XVout所輸出之電壓為低位準。反之，當Vin為低位準時，XVin之信號位準為高位準，此時PMOS電晶體P1導通，因此，輸出端XVout所輸出之電壓為高位準。而由於NMOS電晶體N1以及N1'係保持導通，因此輸出端Vout所輸出之電壓為低位準。另外，藉由反相器10A與10B之設計，能夠使得位準移位電路之輸出更為穩定。當輸出端Vout所輸出之電壓位準低於反相器10A之臨界電壓時，則反相器10A輸出高位準信號；當輸出端Vout所輸出之電壓位準高於反相器10A之臨界電壓時，則反相器10A輸出低位準信號。同理，當輸出端XVout所輸出之電壓位準低於反相器10B之臨界電壓時，則反相器10B輸出高位準信號；當輸出端XVout所輸出之電壓位準高於反相器10B之臨界電壓時，則反相器10B輸出低位準信號。

然而，由於電源VDD係固定提供至NMOS電晶體N1以及N1'之閘極，因此NMOS電晶體N1以及N1'係保持導通。若位準移位電路僅於特定時間操作，例如差動小訊號XVin以及Vin僅為特定週期之脈衝時，若其他時段有雜訊干擾NMOS電晶體N1以及N1'之源極，則會導致位準移位電路發生誤動作。

### [發明內容]

有鑑於此，為了解決上述問題，本發明主要目的在於提供一種具有致能控制電路之位準移位電路，能夠確保位



### 五、發明說明 (3)

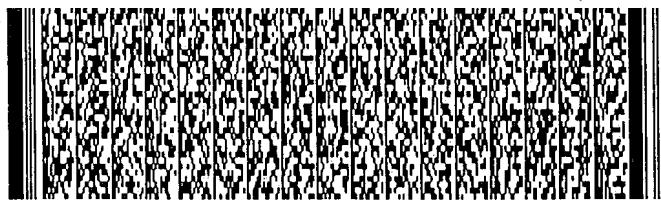
準移位電路在停止動作時，不致因為雜訊之干擾而發生誤動作之現象。

為獲致上述之目的，本發明提出位準移位電路，包括位準調變電路以及致能電路。位準調變電路具有用以分別接收一對互補信號之正相輸入端以及反相輸入端、以及第一輸出端，以根據正相輸入端以及反相輸入端所接收之互補信號之位準而輸出對應之電壓位準。致能電路係耦接於第一輸出端，當接收到失能信號時，則使第一輸出端輸出與正常操作時不同之既定電壓位準。

#### [實施方式]

##### 實施例：

根據本發明所述之位準移位電路主要包括一位準調變電路以及一致能電路。致能電路係耦接於位準調變電路之輸出端，以控制位準調變電路之輸出信號位準。位準調變電路主要具有分別接收一對互補信號之正相輸入端以及反相輸入端，以及一輸出端以根據正相輸入端以及反相輸入端所接收之互補信號之位準而輸出對應之電壓位準。然而，在本發明中，並不限制位準調變電路內部之結構為何，致能電路可適用於任何形式之位準調變電路之輸出端，以確保位準調變電路之輸出不致受到外部雜訊之干擾。



## 五、發明說明 (4)

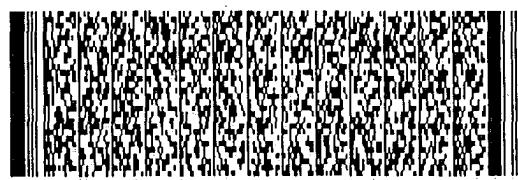
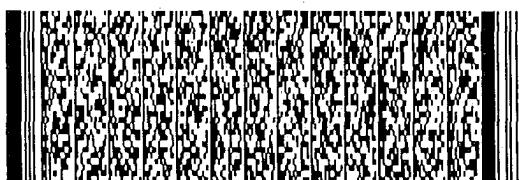
在此，各實施例係以位準調變電路之電路結構與第1圖所示之電路相同為例，並說明致能電路之電路結構以及與位準調變電路之連接關係。

### 第一實施例

第2圖係顯示根據本發明第一實施例所述之位準移位電路之電路圖。致能電路20包括一PMOS電晶體22，其源極係耦接於電源VDD，而其汲極係耦接於位準調變電路21之輸出端Vout。另外，PMOS電晶體22之閘極係耦接於致能信號ENB。NMOS電晶體24A與24B之汲極係分別耦接至位準調變電路21之信號輸入端，而其源極係分別接收互為反相之差動小訊號Vin以及XVin，而閘極皆耦接於致能信號ENB。

當致能信號ENB為高位準時，此時NMOS電晶體24A與24B導通，而PMOS電晶體22關閉，因此位準調變電路21正常接收經由NMOS電晶體24A與24B所輸入之差動小訊號Vin以及XVin，其操作與傳統位準移位電路相同。

當致能信號ENB為低位準時，此時NMOS電晶體24A與24B關閉，而PMOS電晶體22導通，因此位準調變電路21無法接收差動小訊號Vin以及XVin，以避免雜訊之輸入而造成位準移位電路之操作錯誤，再者，位準調變電路之輸出端電壓Vout因為導通之PMOS電晶體22而保持在高位準，並經由反相器25反相為低位準電壓，此位準為此位準移位電



## 五、發明說明 (5)

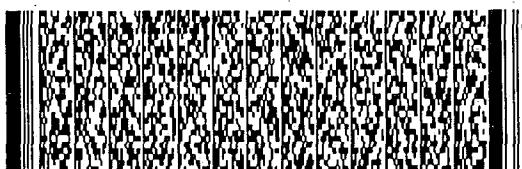
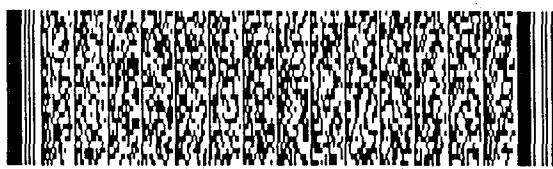
路失能時所預設之輸出信號，因此，可以確保位準移位電路之輸出不受由NMOS電晶體24A與24B之源極所接收之雜訊所干擾。

### 第二實施例

第3圖係顯示根據本發明第二實施例所述之位準移位電路之電路圖。致能電路30包括一NMOS電晶體32，其源極係耦接於接地點VSS，而其汲極係耦接於位準調變電路21之輸出端Vout。NMOS電晶體34A與34B之汲極係分別耦接至位準調變電路21之信號輸入端，而其源極係分別接收互為反相之差動小訊號Vin以及XVin，而閘極皆耦接於致能信號ENB，並經由反相器36與NMOS電晶體32之閘極耦接。

當致能信號ENB為高位準時，此時NMOS電晶體34A與34B導通，而NMOS電晶體32關閉，因此位準調變電路21正常接收經由NMOS電晶體34A與34B所輸入之差動小訊號Vin以及XVin，其操作與傳統位準移位電路相同。

當致能信號ENB為低位準時，此時NMOS電晶體34A與34B關閉，而NMOS電晶體32導通，因此位準調變電路21無法接收差動小訊號Vin以及XVin，以避免雜訊之輸入而造成位準移位電路之操作錯誤，再者，位準調變電路21之輸出端電壓Vout因為導通之NMOS電晶體32而保持在低位準，並經由反相器25反相為高位準電壓，此位準為此位準移位



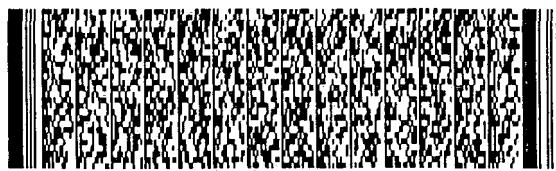
## 五、發明說明 (6)

電路失能時所預設之輸出信號，因此，可以確保位準移位電路之輸出不受由NMOS電晶體34A與34B之源極所接收之雜訊所干擾。

### 第三實施例

第4圖係顯示根據本發明第三實施例所述之位準移位電路之電路圖。根據本發明第三實施例所述之位準移位電路包括PMOS電晶體P41以及P41'，其源極接耦接至電源VDD（以9V為例），而閘極分別耦接至差動小訊號Vin以及XVin。NMOS電晶體N41以及N41'之間極係彼此耦接至電源VDD，而其源極係分別耦接至差動小訊號XVin以及Vin。另外，NMOS電晶體N41與PMOS電晶體P41之汲極係彼此耦接，且連接點為輸出端XVout，NMOS電晶體N41'與PMOS電晶體P41'之汲極係彼此耦接，且連接點為輸出端Vout。輸出端Vout與XVout分別耦接於作為緩衝器之反相器40A與40B，用以輸出對應之電壓位準。另外，PMOS電晶體P42之汲極係耦接至位準移位電路之輸出端Vout，其源極係耦接於電源VDD，而其閘極係耦接至致能信號ENB。在此，PMOS電晶體P42具有位準移位電路之元件中最大之寬/長比(width/length ratio)。

當Vin與致能信號ENB為高位準時，XVin之信號位準為低位準，此時PMOS電晶體P41'導通而PMOS電晶體P42關閉，因此，輸出端Vout所輸出之電壓為高位準。而由於

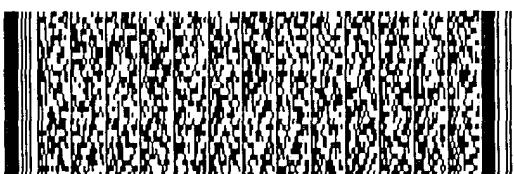
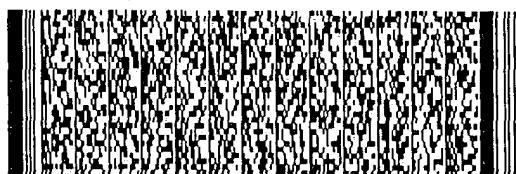


## 五、發明說明 (7)

NMOS 電晶體 N41 以及 N41' 係保持導通，因此輸出端 XVout 所輸出之電壓為低位準。反之，當 Vin 為低位準而致能信號 ENB 為高位準時，Xvin 之信號位準為高位準，此時 PMOS 電晶體 P41 導通，因此，輸出端 XVout 所輸出之電壓為高位準。而由於 NMOS 電晶體 N41 以及 N41' 係保持導通，因此輸出端 Vout 所輸出之電壓為低位準。

另外，藉由反相器 40A 與 40B 之設計，能夠使得位準移位電路之輸出更為穩定。當輸出端 Vout 所輸出之電壓位準低於反相器 40A 之臨界電壓時，則反相器 40A 輸出高位準信號；當輸出端 Vout 所輸出之電壓位準高於反相器 40A 之臨界電壓時，則反相器 40A 輸出低位準信號。同理，當輸出端 XVout 所輸出之電壓位準低於反相器 40B 之臨界電壓時，則反相器 40B 輸出高位準信號；當輸出端 XVout 所輸出之電壓位準高於反相器 40B 之臨界電壓時，則反相器 40B 輸出低位準信號。

當致能信號 ENB 為低位準時，此時 PMOS 電晶體 P42 導通，而 NMOS 電晶體 N41' 係保持導通，如上所述，PMOS 電晶體 P42 具有位準移位電路之元件中最大之寬/長比 (width/length ratio)，因此具有最小之電阻。此時導通之 PMOS 電晶體 P42 與 NMOS 電晶體 N41' 可視為電阻，根據分壓原理，可將輸出端 Vout 之電壓拉升到超過反相器 40A 之臨界電壓，即為高位準區 (high level margin)，並



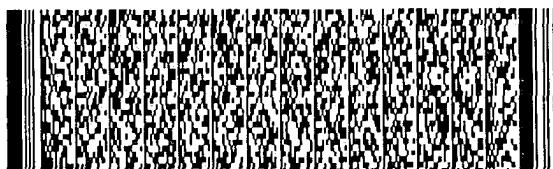
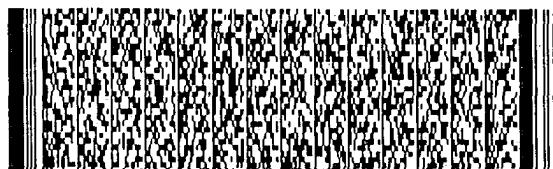
## 五、發明說明 (8)

經由反相器40A反相為低位準電壓，此位準為此位準移位電路失能時所預設之輸出信號。因此，無論NMOS電晶體N41與N41'之源極是否接收到外部雜訊之干擾，能可確保位準移位電路之輸出固定於一預設位準，不受其他雜訊所影響。

## 第四實施例

第5圖係顯示根據本發明第四實施例所述之位準移位電路之電路圖。根據本發明第四實施例所述之位準移位電路包括PMOS電晶體P51以及P51'，其源極接耦接至電源VDD（以9V為例），而閘極分別耦接至差動小訊號Vin以及XVin。NMOS電晶體N51以及N51'之閘極係彼此耦接至電源VDD，而其源極係分別耦接至差動小訊號XVin以及Vin。另外，NMOS電晶體N51與PMOS電晶體P51之汲極係彼此耦接，且連接點為輸出端XVout，NMOS電晶體N51'與PMOS電晶體P51'之汲極係彼此耦接，且連接點為輸出端Vout。輸出端Vout與XVout分別耦接於作為緩衝器之反相器50A與50B，用以輸出對應之電壓位準。另外，NMOS電晶體N52之汲極係耦接至位準移位電路之輸出端XVout，其源極係耦接於接地位準VSS，而其閘極係耦接至致能信號ENB。在此，NMOS電晶體N52具有位準移位電路之元件中最大之寬/長比(width/length ratio)。

當Vin與致能信號ENB為高位準時，XVin之信號位準為



## 五、發明說明 (9)

低位準，此時PMOS電晶體P51'導通而NMOS電晶體N52關閉，因此，輸出端Vout所輸出之電壓為高位準。而由於NMOS電晶體N51以及N51'係保持導通，因此輸出端XVout所輸出之電壓為低位準。反之，當Vin為低位準而致能信號ENB為高位準時，XVin之信號位準為高位準，此時PMOS電晶體P51導通，因此，輸出端XVout所輸出之電壓為高位準。而由於NMOS電晶體N51以及N51'係保持導通，因此輸出端Vout所輸出之電壓為低位準。

另外，藉由反相器50A與50B之設計，能夠使得位準移位電路之輸出更為穩定。當輸出端Vout所輸出之電壓位準低於反相器50A之臨界電壓時，則反相器50A輸出高位準信號；當輸出端Vout所輸出之電壓位準高於反相器50A之臨界電壓時，則反相器50A輸出低位準信號。同理，當輸出端XVout所輸出之電壓位準低於反相器50B之臨界電壓時，則反相器50B輸出高位準信號；當輸出端XVout所輸出之電壓位準高於反相器50B之臨界電壓時，則反相器50B輸出低位準信號。

當致能信號ENB為低位準時，此時NMOS電晶體N52導通，如上所述，NMOS電晶體N52具有位準移位電路之元件中最大之寬/長比 (width/length ratio)，因此具有最小之電阻。根據分壓原理，可將輸出端Vout之電壓拉低到低於反相器50B之臨界電壓，即為低位準區 (low level

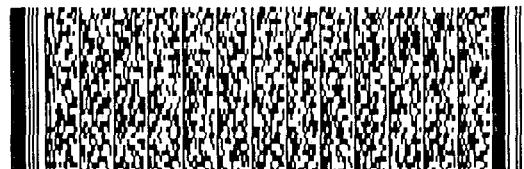
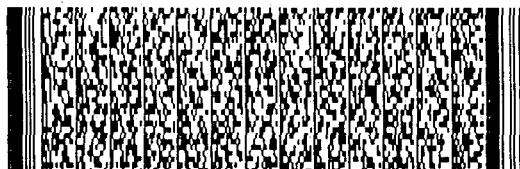


## 五、發明說明 (10)

margin)，並經由反相器50B反相為高位準電壓，此位準為此位準移位電路失能時所預設之輸出信號。因此，無論NMOS電晶體N51與N51'之源極是否接收到外部雜訊之干擾，能可確保位準移位電路之輸出固定於一預設位準，不受其他雜訊所影響。

另外，根據本發明上述之實施例，致能電路與輸出端( $V_{out}$ 與 $XV_{out}$ )之接點係根據實際應用而定，一般而言，係耦接於位準移位電路與其他電路耦接之輸出端，並根據實際需要而將失能之位準移位電路的輸出信號位準保持在預設之電壓位準。如此一來，可有效確保根據本發明實施例所揭露之位準移位電路於失能時之輸出信號，不會受其他雜訊所影響。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### 圖示說明：

第1圖係顯示傳統位準移位電路之電路結構圖。

第2圖係顯示根據本發明第一實施例所述之位準移位電路之電路圖。

第3圖係顯示根據本發明第二實施例所述之位準移位電路之電路圖。

第4圖係顯示根據本發明第三實施例所述之位準移位電路之電路圖。

第5圖係顯示根據本發明第四實施例所述之位準移位電路之電路圖。

### 符號說明：

10A、10B、25、36、40A、40B、50A、50B～反相器

20、30～致能電路

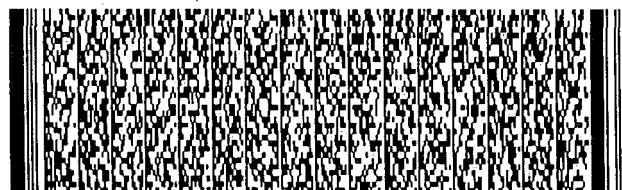
21～位準調變電路

22、P1、P1'、P41、P41'、P42、P51、P51'～PMOS  
電晶體

24A、24B、32、34A、34B、N1、N1'、N41、N41'、  
N51、N51'、N52～NMOS電晶體

ENB～致能信號

V<sub>in</sub>、XV<sub>in</sub>～差動小訊號



圖式簡單說明

VDD ~ 電 源

Vout 、 XVout ~ 輸 出 端

VSS ~ 接 地 位 準



## 六、申請專利範圍

### 1. 一種位準移位電路，包括：

一位準調變電路，具有用以分別接收一對互補信號之正相輸入端以及反相輸入端，以及一第一輸出端用以根據上述正相輸入端以及反相輸入端所接收之互補信號之位準而輸出對應之電壓位準；以及

一致能電路，耦接於上述第一輸出端，當接收一失能信號時，則使上述第一輸出端輸出一既定電壓位準。

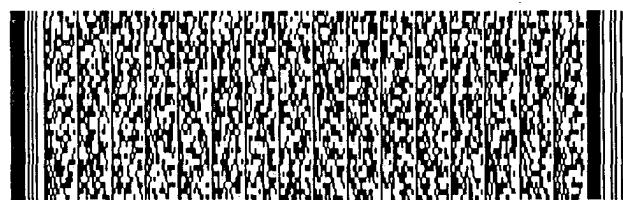
2. 如申請專利範圍第1項所述之位準移位電路，其中上述致能電路為一MOS電晶體，其源/汲極係耦接於外部電壓位準以及上述第一輸出端之間，而其汲極係接收上述失能信號。

3. 如申請專利範圍第2項所述之位準移位電路，其中上述致能電路為一第一PMOS電晶體，其源極係耦接於電源位準、而其汲極係耦接於上述第一輸出端。

4. 如申請專利範圍第2項所述之位準移位電路，其中上述致能電路為一第一NMOS電晶體，其源極係耦接於地位準、而其汲極係耦接於一第二輸出端。

5. 如申請專利範圍第3項所述之位準移位電路，其中上述致能電路更包括一對第二NMOS電晶體，其汲極分別耦接於上述正相輸入端以及反相輸入端，其源極分別接收上述互補信號，而其閘極皆接收上述失能信號。

6. 如申請專利範圍第4項所述之位準移位電路，其中上述致能電路更包括一對第三NMOS電晶體，其汲極分別耦接於上述正相輸入端以及反相輸入端，其源極分別接收上



## 六、申請專利範圍

述互補信號，而其閘極皆接收上述失能信號。

7. 如申請專利範圍第6項所述之位準移位電路，其中上述致能電路更包括一反相器，耦接於上述第一NMOS電晶體與第三NMOS電晶體之閘極之間。

8. 如申請專利範圍第4項所述之位準移位電路，其中上述位準調變電路包括：

一第一PMOS電晶體，具有一第一閘極、一第一汲極以及一第一源極，其中上述第一閘極係耦接於上述正相輸入端，上述第一源極係耦接於一外部電源，而上述第一汲極為上述第二輸出端；

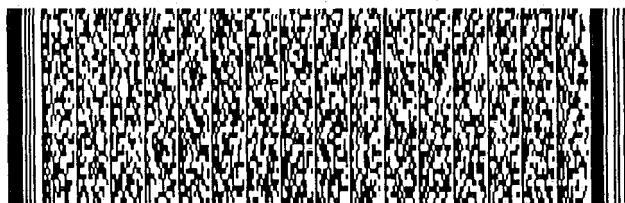
一第二PMOS電晶體，具有一第二閘極、一第二汲極以及一第二源極，其中上述第二閘極係耦接於上述反相輸入端，上述第二源極係耦接於上述外部電源，而上述第二汲極為上述第一輸出端；

一第三NMOS電晶體，具有一第三閘極、一第三汲極以及一第三源極，其中上述第三閘極係耦接於上述外部電源，上述第三汲極係耦接於上述第一汲極，而上述第三源極為上述正相輸入端；以及

一第四NMOS電晶體，具有一第四閘極、一第四汲極以及一第四源極，其中上述第四閘極係耦接於上述外部電源，上述第四汲極係耦接於上述第二汲極，而上述第四源極為上述反相輸入端。

9. 一種位準移位電路，包括：

一位準調變電路，具有用以分別接收一參考位準信號



## 六、申請專利範圍

之輸入端以及待調變信號輸入端，以及一輸出端用以根據上述待調變信號輸入端所接收之信號之位準而輸出對應之電壓位準；以及

一致能電路，耦接於上述輸出端，當接收一失能信號時，則使上述輸出端輸出一既定電壓位準。

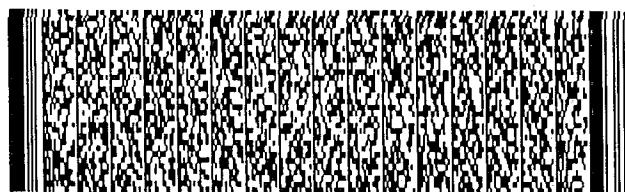
10. 如申請專利範圍第9項所述之位準移位電路，其中上述致能電路為一薄膜電晶體(TFT)，其源/汲極係耦接於外部電壓位準以及上述輸出端之間，而其汲極係接收上述失能信號。

11. 如申請專利範圍第9項所述之位準移位電路，其中上述致能電路為一第一P-type TFT，其源極係耦接於電源位準、而其汲極係耦接於上述輸出端。

12. 如申請專利範圍第9項所述之位準移位電路，其中上述致能電路為一第一N-type TFT，其源極係耦接於接地位準、而其汲極係耦接於一輸出端。

13. 如申請專利範圍第9項所述之位準移位電路，其中上述致能電路更包括一對第二N-type TFT，其汲極分別耦接於上述參考位準輸入端以及待調變信號輸入端，其源極分別接收上述參考位準與待調變信號，而其閘極皆接收上述失能信號。

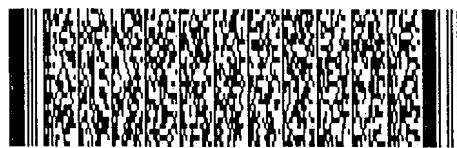
14. 如申請專利範圍第9項所述之位準移位電路，其中上述致能電路更包括一對第三N-type TFT，其汲極分別耦接於上述參考位準輸入端以及待調變信號輸入端，其源極分別接收上述參考位準與待調變信號，而其閘極皆接收上

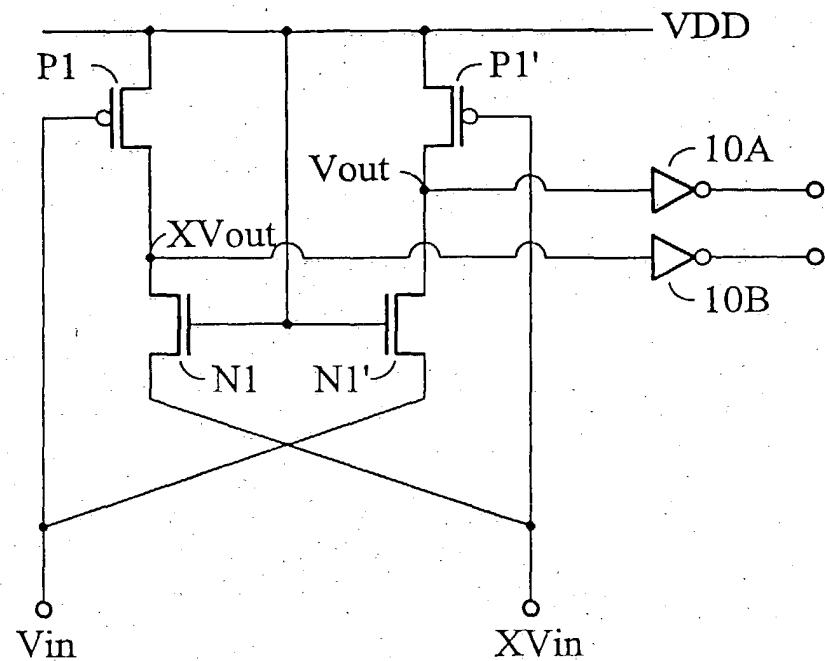


六、申請專利範圍

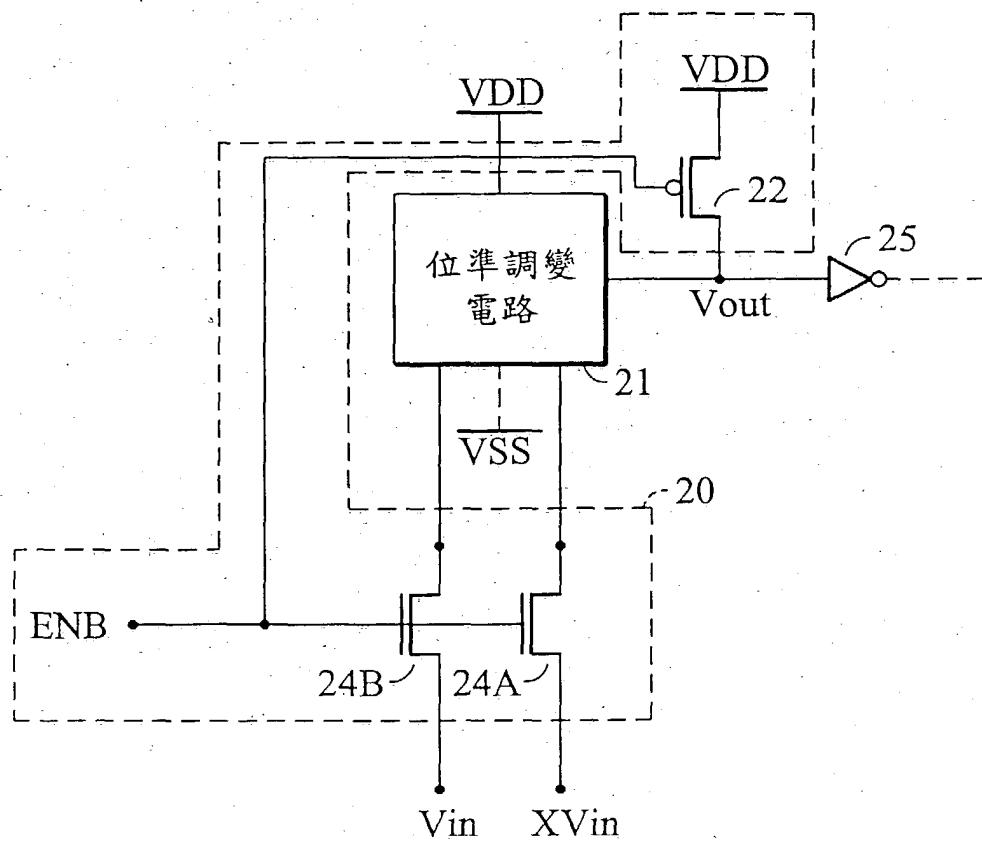
述失能信號。

15. 如申請專利範圍第9項所述之位準移位電路，其中上述致能電路更包括一反相器，耦接於上述第一N-type TFT與第三N-type TFT之間極之間。

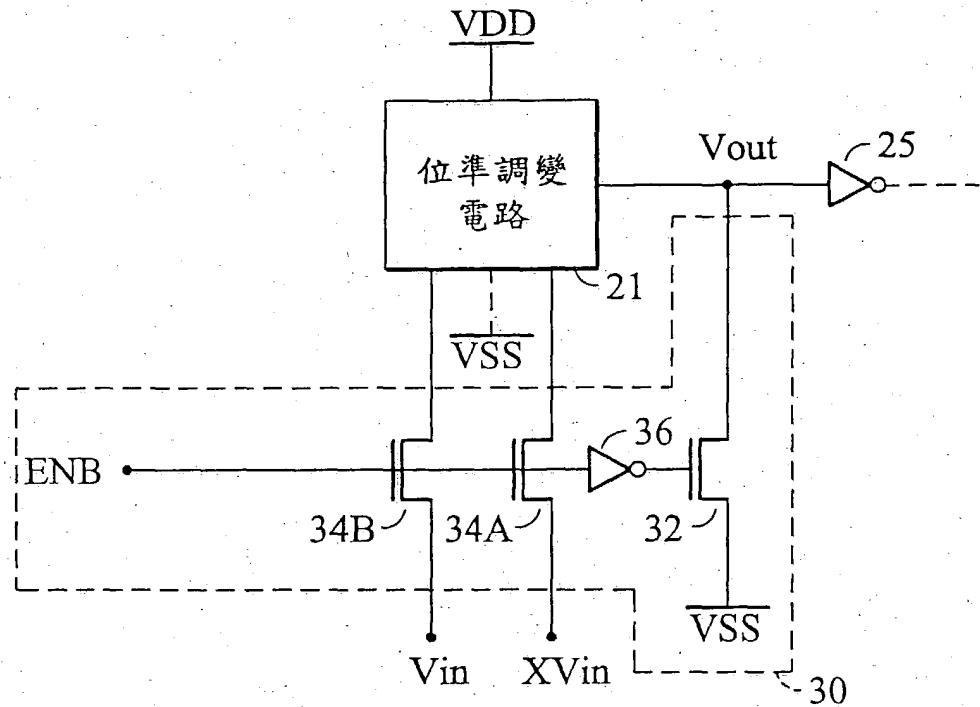




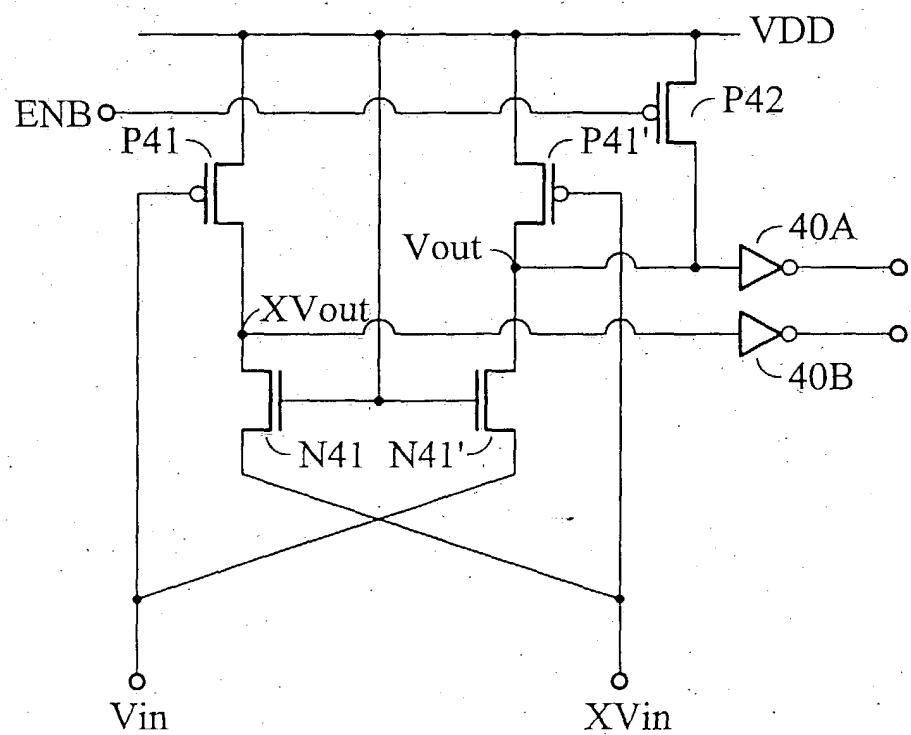
# 第 1 圖



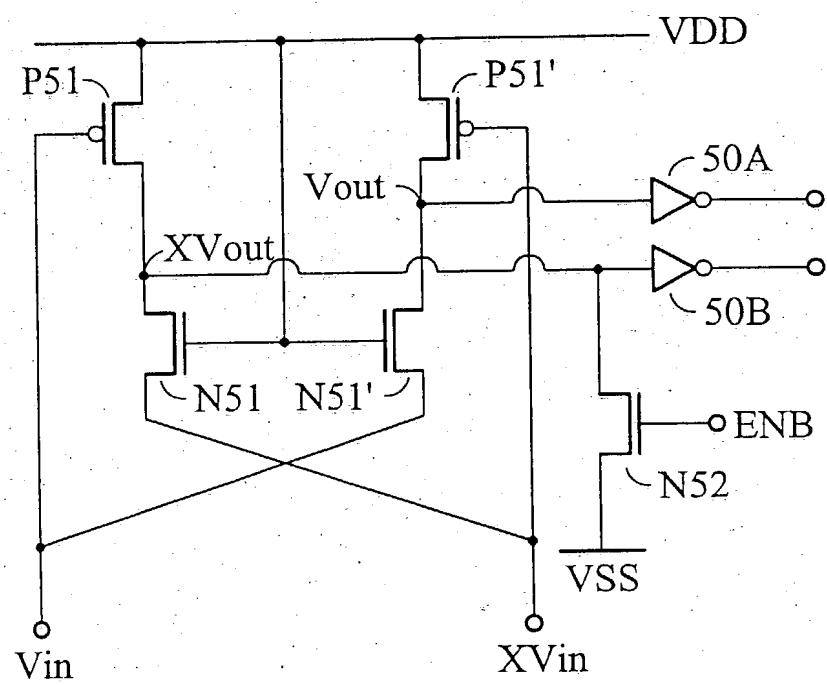
## 第 2 圖



第 3 圖



第 4 圖



第 5 圖

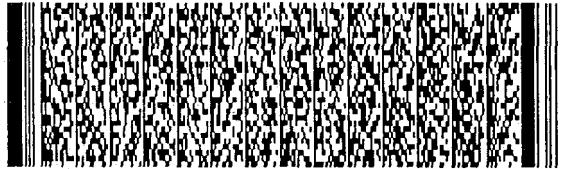
第 1/20 頁



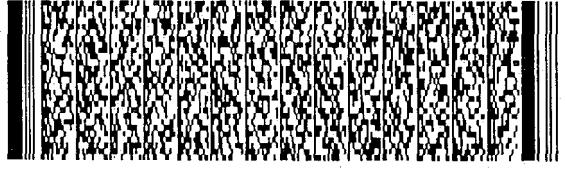
第 3/20 頁



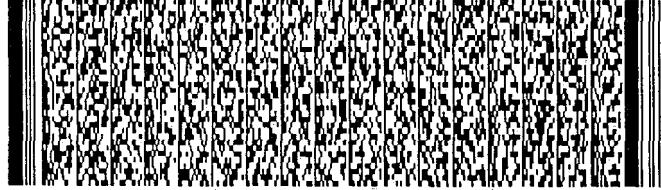
第 5/20 頁



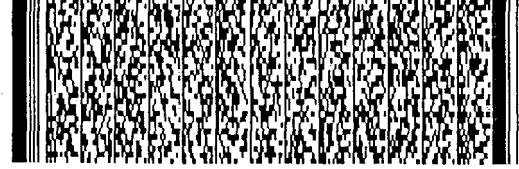
第 6/20 頁



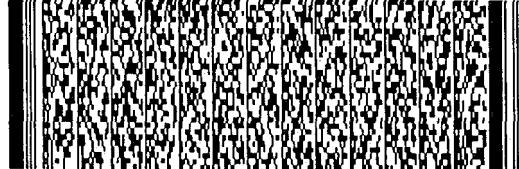
第 7/20 頁



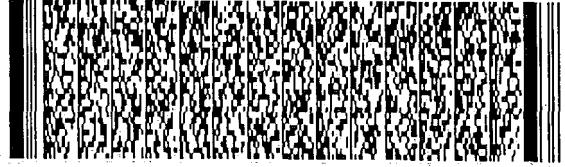
第 8/20 頁



第 9/20 頁



第 10/20 頁



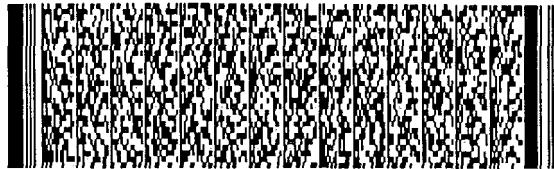
第 2/20 頁



第 4/20 頁



第 5/20 頁



第 6/20 頁



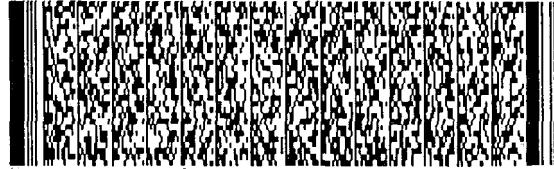
第 8/20 頁



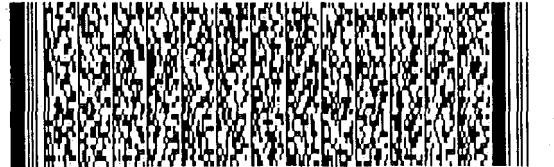
第 9/20 頁



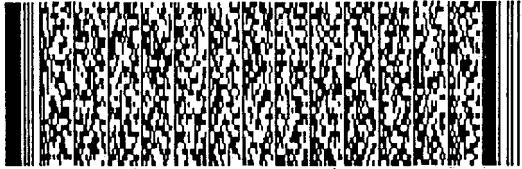
第 10/20 頁



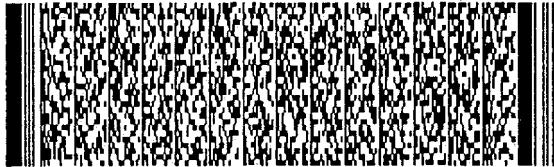
第 11/20 頁



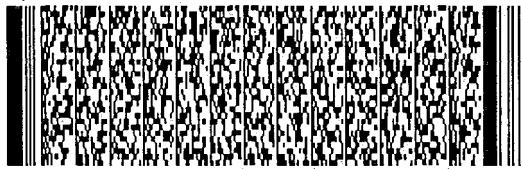
第 11/20 頁



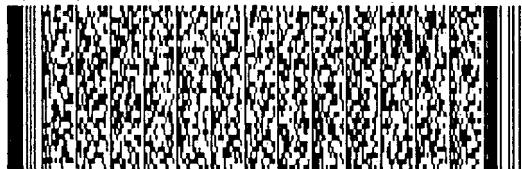
第 12/20 頁



第 13/20 頁



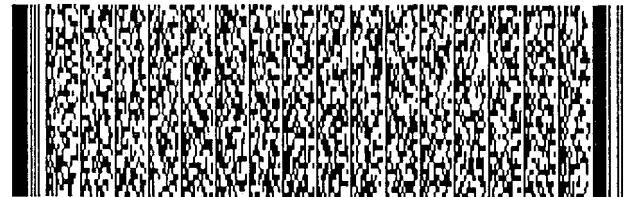
第 14/20 頁



第 15/20 頁



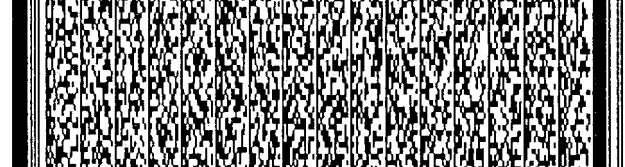
第 16/20 頁



第 17/20 頁



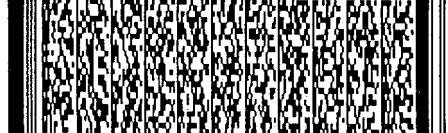
第 18/20 頁



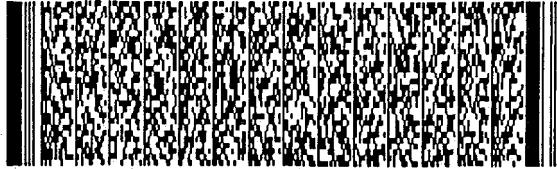
第 19/20 頁



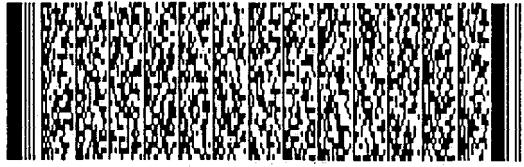
第 20/20 頁



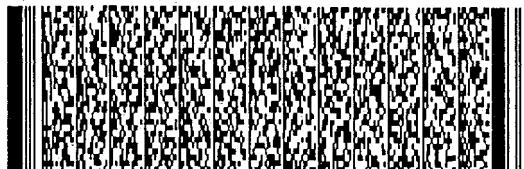
第 12/20 頁



第 13/20 頁



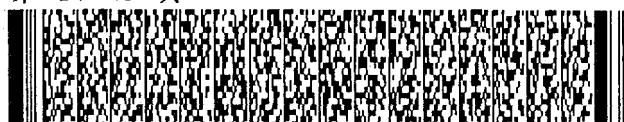
第 14/20 頁



第 15/20 頁



第 16/20 頁



第 17/20 頁

